

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Koichiro ISHIBASHI et al.

Application No.: Not Yet Assigned

Group Art Unit: Unknown

Filed: Concurrently Herewith

Examiner: Unknown

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE HAVING BODY BIASING
CIRCUIT FOR GENERATING FORWARD WELL BIAS VOLTAGE OF SUITABLE
LEVEL BY USING SIMPLE CIRCUITRY

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN
APPLICATION IN ACCORDANCE
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents
PO Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2002-211536 and 2003-19271

Filed: July 19, 2002 and January 28, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing
date(s) as evidenced by the certified papers attached hereto, in accordance with the
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: July 15, 2003

By: 

H. J. Staas
Registration No. 22,010

1201 New York Ave, N.W., Suite 700
Washington, D.C. 20005
Telephone: (202) 434-1500
Facsimile: (202) 434-1501

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月19日

出 願 番 号

Application Number:

特願2002-211536

[ST.10/C]:

[JP2002-211536]

出 願 人

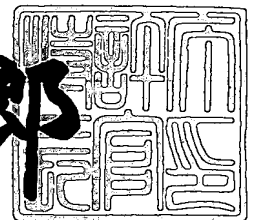
Applicant(s):

株式会社半導体理工学研究センター

2003年 4月 1日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3022686

【書類名】 特許願

【整理番号】 1024054

【提出日】 平成14年 7月19日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 27/04
H01L 21/822
H03K 19/094

【発明の名称】 半導体集積回路装置

【請求項の数】 13

【発明者】

【住所又は居所】 埼玉県蕨市南町 3 - 7 - 6

【氏名】 石橋 孝一郎

【発明者】

【住所又は居所】 東京都墨田区太平 4 - 2 0 - 5 錦糸町ローヤルコーポ
4 0 8

【氏名】 山下 高廣

【特許出願人】

【識別番号】 396023993

【氏名又は名称】 株式会社半導体理工学研究センター

【代理人】

【識別番号】 100077517

【弁理士】

【氏名又は名称】 石田 敬

【電話番号】 03-5470-1900

【選任した代理人】

【識別番号】 100092624

【弁理士】

【氏名又は名称】 鶴田 準一

【選任した代理人】

【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903088

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 第 1 導電型 (p^+ ; n^+) のソース電極 (S) およびドレイン電極 (D) とゲート電極 (G) とを有し、第 2 導電型 (n ; p) のウェル (1 0 ; 2 0) に形成されてなる MISFET (1 ; 2) を備える半導体集積回路装置であって、

前記ウェル (1 0 ; 2 0) の電位 (V_{bp} ; V_{bn}) を、前記 MISFET (1 ; 2) のソース電極 (S) および該ウェル (1 0 ; 2 0) により形成されるダイオード (1 1 ; 2 1) に対して所定電流 (I_{bp} ; I_{bn}) を順方向に流すことにより生成する基板バイアス回路 (1 1 0, 1 1 1 ~ 1 1 3 ; 3 ; 4) を備えることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 に記載の半導体集積回路装置において、
該半導体集積回路装置 (1 0 0) は、複数の回路ブロック (1 0 1 ~ 1 0 3) を有し、

前記基板バイアス回路 (1 1 1 ~ 1 1 3) は、前記各回路ブロック (1 0 1 ~ 1 0 3) 毎にそれぞれ設けられていることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 2 に記載の半導体集積回路装置において、さらに、
前記各基板バイアス回路 (1 1 1 ~ 1 1 3) を、対応する前記各回路ブロック (1 0 1 ~ 1 0 3) 毎に制御する電力制御ユニット (1 0 5) を備えることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 に記載の半導体集積回路装置において、前記基板バイアス回路 (1 1 0) は、第 1 の電源線 (V_{ss} ; V_{dd}) と前記ウェル (1 0 ; 2 0) のコンタクト領域 (1 0 a ; 2 0 a) との間に設けられた電流源 (3 ; 4) を備え、該コンタクト領域 (1 0 a ; 2 0 a) を介して前記ダイオード (1 1 ; 2 1) に前記所定電流 (I_{bp} ; I_{bn}) を流すことを特徴とする半導体集積回路装置。

【請求項 5】 請求項 4 に記載の半導体集積回路装置において、前記電流源 (3 ; 4) は、前記第 1 の電源線 (V_{ss} ; V_{dd}) を電源として前記所定電流

(I b p ; I b n) を発生することを特徴とする半導体集積回路装置。

【請求項 6】 請求項 5 に記載の半導体集積回路装置において、前記電流源 (3 ; 4) は、

制御信号 (C b p ; C b n) がゲート電極に供給され、ソース電極が第 2 の電源線 (V d d ; V s s) に接続された前記 M I S F E T と同じ極性の電流源用第 1 M I S F E T (3 2 ; 4 2) と、

ソース電極が前記第 1 の電源線 (V s s ; V d d) に接続され、ドレイン電極およびゲート電極が前記電流源用第 1 M I S F E T (3 2 ; 4 2) のドレイン電極に接続された前記 M I S F E T と異なる極性の電流源用第 2 M I S F E T (3 3 ; 4 3) と、

前記電流源用第 2 M I S F E T (3 3 ; 4 3) に対してカレントミラー接続され、ドレインが前記コンタクト領域 (1 0 a ; 2 0 a) に接続される電流源用第 3 M I S F E T (3 4 ; 4 4) とを備えることを特徴とする半導体集積回路装置。

【請求項 7】 第 1 導電型 (p^+) のソース電極 (S) およびドレイン電極 (D) とゲート電極 (G) とを有し、第 2 導電型 (n) の第 1 ウェル (1 0) に形成されてなる第 1 極性 (p) の第 1 M I S F E T (1)、並びに、前記第 2 導電型 (n^+) のソース電極およびドレイン電極とゲート電極とを有し、前記第 1 導電型 (p) の第 2 ウェル (2 0) に形成されてなる第 2 極性 (n) の第 2 M I S F E T (2) を備える半導体集積回路装置であって、

前記第 1 ウェル (1 0) の電位 (V b p) を、前記第 1 M I S F E T (1) のソース電極および該第 1 ウェルにより形成されるダイオード (1 1) に対して所定電流 (I b p) を順方向に流すことによって生成する第 1 基板バイアス回路 (1 1 0 ; 1 1 1 ~ 1 1 3 ; 3) と、

前記第 2 ウェル (2 0) の電位 (V b n) を、前記第 2 M I S F E T (2) のソース電極および該第 2 ウェルにより形成されるダイオード (2 1) に対して所定電流 (I b n) を順方向に流すことによって生成する第 2 基板バイアス回路 (1 1 0 ; 1 1 1 ~ 1 1 3 ; 4) とを備えることを特徴とする半導体集積回路装置。

【請求項 8】 請求項 7 に記載の半導体集積回路装置において、
該半導体集積回路装置（100）は、複数の回路ブロック（101～103）
を有し、

前記第 1 および第 2 基板バイアス回路（3，4）は、前記各回路ブロック（101～103）毎にそれぞれ設けられていることを特徴とする半導体集積回路装置。

【請求項 9】 請求項 8 に記載の半導体集積回路装置において、さらに、
前記各第 1 および第 2 基板バイアス回路（3，4）を、対応する前記各回路ブロック（101～103）毎に制御する電力制御ユニット（105）を備えることを特徴とする半導体集積回路装置。

【請求項 10】 請求項 7 に記載の半導体集積回路装置において、
前記第 1 基板バイアス回路は、第 1 の電源線（V_{ss}）と前記第 1 ウェル（10）のコンタクト領域（10a）との間に設けられた第 1 電流源（3）を備え、
該第 1 ウェルのコンタクト領域（10a）を介して前記第 1 ダイオード（11）に前記所定電流（I_{bp}）を流し、且つ、

前記第 2 基板バイアス回路は、第 2 の電源線（V_{dd}）と前記第 2 ウェル（20）のコンタクト領域（20a）との間に設けられた第 2 電流源（4）を備え、
該第 2 ウェルのコンタクト領域（20a）を介して前記第 2 ダイオード（21）に前記所定電流（I_{bn}）を流すことを特徴とする半導体集積回路装置。

【請求項 11】 請求項 10 に記載の半導体集積回路装置において、
前記第 1 電流源（3）は、前記第 1 の電源線（V_{ss}）を電源として前記所定電流（I_{bp}）を発生し、且つ、前記第 2 電流源（4）は、前記第 2 の電源線（V_{dd}）を電源として前記所定電流（I_{bn}）を発生することを特徴とする半導体集積回路装置。

【請求項 12】 請求項 11 に記載の半導体集積回路装置において、
前記第 1 電流源（3）は、
第 1 制御信号（C_{bp}）がゲート電極に供給され、ソース電極が前記第 2 の電源線（V_{dd}）に接続された前記第 1 MISFET と同じ極性の第 1 電流源用第 1 MISFET（32）と、

ソース電極が前記第 1 の電源線 (V s s) に接続され、ドレイン電極およびゲート電極が前記第 1 電流源用第 1 M I S F E T (3 2) のドレイン電極に接続された前記第 1 M I S F E T と異なる極性の第 1 電流源用第 2 M I S F E T (3 3) と、

前記第 1 電流源用第 2 M I S F E T (3 3) に対してカレントミラー接続され、ドレインが前記第 1 ウェルのコンタクト領域 (1 0 a) に接続される第 1 電流源用第 3 M I S F E T (3 4) とを備え、且つ、

前記第 2 電流源 (4) は、

第 2 制御信号 (C b n) がゲート電極に供給され、ソース電極が前記第 1 の電源線 (V s s) に接続された前記第 2 M I S F E T と同じ極性の第 2 電流源用第 1 M I S F E T (4 2) と、

ソース電極が前記第 2 の電源線 (V s s) に接続され、ドレイン電極およびゲート電極が前記第 2 電流源用第 1 M I S F E T (4 2) のドレイン電極に接続された前記第 2 M I S F E T と異なる極性の第 2 電流源用第 2 M I S F E T (4 3) と、

前記第 2 電流源用第 2 M I S F E T (4 3) に対してカレントミラー接続され、ドレインが前記第 2 ウェルのコンタクト領域 (2 0 a) に接続される第 2 電流源用第 3 M I S F E T (4 4) とを備えることを特徴とする半導体集積回路装置。

【請求項 1 3】 請求項 1 ～ 1 2 のいずれか 1 項に記載の半導体集積回路装置において、該半導体集積回路装置を、温度の上昇に従ってリーク電流が増大して遅延が減少する特性を示す低電圧で動作させることにより、温度に対する動作遅延の変化を一定にしたことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は半導体集積回路装置に関し、特に、低電圧で動作する高速の M I S F E T を備える半導体集積回路装置に関する。

【0 0 0 2】

近年、例えば、携帯電話や携帯型 PDA (Personal Digital Assistant) 等の携帯情報機器の普及および高機能化に伴って、MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor: 或いは、より広く MISFET (Metal-Insulator-Semiconductor FET)) で構成した半導体集積回路装置に対しても、より一層の高速化並びに低消費電力化が望まれている。

【0003】

従来、CMOS (Complementary MOS) 回路の消費電力を低減するために駆動用の電源電圧を低下させることが行われてきた。しかしながら、電源電圧の低下は動作速度の低下をきたすため、高速動作を維持しつつ低消費電力を図るには、MOSトランジスタのしきい値電圧を下げる必要があった。ところで、MOSトランジスタのしきい値電圧の低下は、CMOS回路におけるスイッチング動作を高速化させることになるが、サブスレッショルドリーク電流が増加して消費電力の増大を招くことにもなる。

【0004】

そこで、近年、MOSトランジスタのウェル電圧（基板電圧：バックゲートの電圧）として順方向のバイアス電圧を印加することが注目されている。しかしながら、ウェル（基板）に対して順方向のバイアス電圧を印加するには、バイアス電圧発生回路による占有面積の増大等のさらなる問題も生じている。そこで、簡単な回路構成により適切なレベルの順方向基板（ウェル）バイアス電圧を発生することのできる基板バイアス回路を備えた半導体集積回路装置の提供が要望されている。

【0005】

【従来の技術】

近年、CMOS回路を高速且つ低消費電力で駆動するために、MOSトランジスタの基板（ウェル）に順方向のバイアス電圧を印加することが注目されている。

【0006】

具体的に、例えば、S. Narendra et al., "1.1V 1GHz Communications Router with ON-Chip Body Bias 150nm CMOS", ISSCC 2002/SESSION 16/HIGH SPEED I/

0 16.4, pp.270, 271, 466; February 5, 2002 には、アクティブ動作時には順方向基板バイアス $F B B$ を与え、且つ、スタンバイモードでは零基板バイアス $Z B B$ を与えて、高速動作と低消費電力を両立した半導体集積回路装置 (CMOS チップ) が示されている。

【 0 0 0 7 】

また、例えば、特開 2 0 0 1 - 3 4 5 4 2 4 号公報には、MOS トランジスタに与える順方向の基板バイアス電圧を、異なる不純物濃度の拡散領域による PN 接合の電流電圧特性を利用して制御することで、温度変化が生じても大きなリーク電流が流れるのを防止した半導体集積回路装置が開示されている。

【 0 0 0 8 】

図 1 は従来の半導体集積回路装置の一例を示す回路図であり、前者 ("1.1V 1G Hz Communications Router with ON-Chip Body Bias 150nm CMOS") の要部構成を示すものである。図 1 において、参照符号 2 0 0 はインバータ部 (CMOS インバータ)、2 0 1 は p チャネル型 MOS トランジスタ (pMOS トランジスタ)、2 0 2 は n チャネル型 MOS トランジスタ (nMOS トランジスタ)、2 0 3 はインピーダンス素子、そして、2 0 4 はバイアス電圧発生回路を示している。また、参照符号 $V d d$ は高電位電源電圧 (高電位電源線)、 $V s s$ は低電位電源電圧 (低電位電源線)、そして、 $V b p$ は pMOS トランジスタ用基板バイアス電圧 (pMOS トランジスタの n チャネル型ウェル領域 (n ウェル) に対するバイアス電圧) を示している。なお、各トランジスタにおいて、参照符号 G はゲート電極、 D はドレイン電極、そして、 S はソース電極を示している。また、参照符号 $I N$ はインバータの入力を示し、 $O U T$ はインバータの出力を示している。

【 0 0 0 9 】

図 1 に示されるように、従来の半導体集積回路装置の一例においては、pMOS トランジスタ 2 0 1 の n ウェル (バックゲート) に対して、インピーダンス素子 2 0 3 を介して基板バイアス電圧 $V b p$ (バイアス電圧発生回路 2 0 4 の出力電圧) を印加するようになっている。ここで、電源電圧 $V d d$ は、例えば、1.1 V であり、また、基板バイアス電圧 $V b p$ は、 $V d d - 0.45 V$ (例えば、

0. 5 5 V) である。

【 0 0 1 0 】

すなわち、図 1 に示す半導体集積回路装置において、例えば、動作時には p M O S トランジスタ 2 0 1 の n ウェルに $V_{dd} - 0.45 V$ の順方向基板バイアス電圧 V_{bp} を印加し、また、スタンバイモードでは零基板バイアス電圧を印加（基板バイアス電圧の印加を停止）することで動作時のしきい値電圧の低下（順方向基板バイアス電圧の印加）による高速化とスタンバイモードにおける消費電力の低減を両立するようになっている。なお、インピーダンス素子 2 0 3 は、例えば、温度上昇等により過大な電流が流れるのを制限するためのものである。

【 0 0 1 1 】

図 2 は従来の半導体集積回路装置の他の例を示す回路図である。図 2 において、参照符号 3 0 0 はインバータ部、3 0 1 は p M O S トランジスタ、3 0 2 は n M O S トランジスタ、3 0 3 および 3 0 4 は電流源、そして、3 0 5 および 3 0 6 はバイアス電圧発生回路を示している。なお、図 2 において、参照符号 V_{bn} は n M O S トランジスタ用基板バイアス電圧（n M O S トランジスタの p チャネル型基板（p チャネル型ウェル領域）に対するバイアス電圧）を示している。

【 0 0 1 2 】

図 2 に示されるように、従来の半導体集積回路装置の他の例においては、p M O S トランジスタ 3 0 1 の n チャネル型ウェル領域（n ウェル：バックゲート）に対して、電流源 3 0 3 を介して基板バイアス電圧 V_{bp} （バイアス電圧発生回路 3 0 5 の出力電圧）を印加し、また、n M O S トランジスタ 3 0 2 の p チャネル型ウェル領域（p ウェル：バックゲート）に対して、電流源 3 0 4 を介して基板バイアス電圧 V_{bn} （バイアス電圧発生回路 3 0 6 の出力電圧）を印加するようになっている。ここで、p M O S トランジスタ用基板バイアス電圧 V_{bp} は、高電位電源電圧 V_{dd} よりも所定電圧だけ低い固定電圧であり、また、n M O S トランジスタ用基板バイアス電圧 V_{bn} は、低電位電源電圧 V_{ss} よりも所定電圧だけ高い固定電圧である。

【 0 0 1 3 】

すなわち、図 2 に示す半導体集積回路装置においては、例えば、M O S トラン

ジスタに与える順方向の基板バイアス電圧を、温度上昇に対する p^- 拡散領域および n ウェルの間（ p ウェルおよび n^+ 拡散領域の間）のPN接合の電流電圧特性と p^+ 拡散領域および n ウェルの間（ p ウェルおよび n^- 拡散領域の間）のPN接合の電流電圧特性とを利用して制御することにより、ラッチアップの発生をなくして温度変化が生じても大きなリーク電流が流れるのを防止するものである。

【0014】

【発明が解決しようとする課題】

上述したように、従来、MOSトランジスタの基板（ウェル）に順方向の基板バイアス電圧を与えてCMOS回路で構成される半導体集積回路装置を高速且つ低消費電力で駆動するようにしたものが提案されている。

【0015】

しかしながら、図1或いは図2に示す半導体集積回路装置においては、順方向の基板バイアス電圧（例えば、0.4～0.5V程度）を発生するために所定の回路規模を有する基板電圧発生回路が必要なため、占有面積が増大するといった問題がある。さらに、順方向の基板バイアス電圧をある程度の余裕を持って設定する必要があるため、基板バイアス電圧が小さく抑えられ、トランジスタのしきい値電圧を最大限に低下させて高速動作を行うことは難しくなっている。

【0016】

本発明は、上述した従来の半導体集積回路装置が有する課題に鑑み、簡単な回路構成により適切なレベルの順方向基板（ウェル）バイアス電圧を発生することのできる基板バイアス回路を備えた半導体集積回路装置の提供を目的とする。

【0017】

【課題を解決するための手段】

本発明の第1の形態によれば、第1導電型のソース電極およびドレイン電極とゲート電極とを有し、第2導電型のウェルに形成されてなるMISFETを備える半導体集積回路装置であって、前記ウェルの電位を、前記MISFETのソース電極および該ウェルにより形成されるダイオードに対して所定電流を順方向に流すことにより生成する基板バイアス回路を備えることを特徴とする半導体集積回路装置が提供される。

【 0 0 1 8 】

本発明の第 2 の形態によれば、第 1 導電型のソース電極およびドレイン電極とゲート電極とを有し、第 2 導電型の第 1 ウェルに形成されてなる第 1 極性の第 1 M I S F E T、並びに、前記第 2 導電型のソース電極およびドレイン電極とゲート電極とを有し、前記第 1 導電型の第 2 ウェルに形成されてなる第 2 極性の第 2 M I S F E T を備える半導体集積回路装置であって、前記第 1 ウェルの電位を、前記第 1 M I S F E T のソース電極および該第 1 ウェルにより形成されるダイオードに対して所定電流を順方向に流すことによって生成する第 1 基板バイアス回路と、前記第 2 ウェルの電位を、前記第 2 M I S F E T のソース電極および該第 2 ウェルにより形成されるダイオードに対して所定電流を順方向に流すことによって生成する第 2 基板バイアス回路とを備えることを特徴とする半導体集積回路装置が提供される。

【 0 0 1 9 】

図 3 は本発明に係る半導体集積回路装置の原理構成を示す回路図であり、また、図 4 は本発明に係る半導体集積回路装置の原理構成を説明するための断面図である。ここで、図 3 に示す回路は、図 4 における n M O S トランジスタ (2) の部分に対応する。なお、p M O S トランジスタ 1 および n M O S トランジスタ 2 で構成されるインバータ (C M O S インバータ) に関しては、図 4 も参照して後に詳述する。

【 0 0 2 0 】

図 3 および図 4 において、参照符号 2 は n M O S トランジスタ、4 は電流源、そして、2 1 はダイオード (寄生ダイオード) を示している。また、図 4 において、参照符号 2 a は導電電極、2 b は絶縁膜、2 0 は p チャネル型半導体基板 (p チャネル型ウェル)、2 0 a は p^{+} 拡散領域、2 0 b、2 0 c は n^{+} 拡散領域を示している。

【 0 0 2 1 】

図 3 および図 4 に示されるように、n M O S トランジスタ 2 は、p チャネル型ウェル (p ウェル) 2 0 に形成され、 n^{+} 拡散領域 (ソース電極 S) 2 0 b、 n^{+} 拡散領域 (ドレイン電極 D) 2 0 c、および、絶縁膜 2 b を介した導電電極 (ゲ

ート電極G) 2 aにより構成される。ここで、従来の一般的なpMOSトランジスタ(逆基板バイアスのトランジスタ)においては、 p^+ 拡散領域(コンタクト領域) 2 0 aを介してpウェル2 0 (nMOSトランジスタ2のバックゲート)に対して低電位電源電圧 V_{ss} を印加するようになっているが、本発明においては、そのコンタクト領域(p^+ 拡散領域) 2 0 aに対して、電流源4を介して高電位電源電圧 V_{dd} を与えるようになっている。なお、図3におけるダイオード2 1は、pウェル2 0とソース電極(S) 2 0 bとの間に形成される。

【0022】

本発明によれば、電流源4の出力電流(定電流) I_{bn} がpウェル2 0とソース電極S (n^+ 拡散領域2 0 b)で構成されるダイオード2 1に順方向に流れることで基板バイアス電圧 V_{bn} が生成されるようになっている。ここで、電流 I_{bn} は、例えば、動作時にスイッチング電流を含めて回路全体を流れる電流に対し、無視し得る程度の値(例えば、回路全体を流れる電流の $1/10$ 程度、或いは、それ以下)に設定される。

【0023】

図5は本発明の半導体集積回路装置の原理を説明するためのダイオード特性を示す図である。

【0024】

図5に示されるように、ダイオード(2 1)の電流-電圧特性は、各温度(例えば、 75°C 、 25°C および -25°C)に対して異なっている。本発明においては、ダイオード2 1に対して一定の電流源4の出力電流 I_{bn} が流れることとなるため、pウェル2 0に対して各温度における最大限の基板バイアス電圧を与えることができる。

【0025】

すなわち、従来、pウェル2 0に与える順方向の基板バイアス電圧 V_{bn} を考えた場合、例えば、半導体集積回路装置の規格値における上限の温度を考慮して(或いは、さらに所定のマージンも与えて：例えば、 75°C)設定するため、順方向基板バイアス電圧(V_{bn})のレベルを高くしてトランジスタ(pMOSトランジスタ2)のしきい値電圧を可能な限り低くすることはできず、その結果、

回路の動作速度を最大限に高速化することが困難であった。

【0026】

これに対して、本発明の半導体集積回路装置によれば、回路の動作速度を使用される温度に応じて最大限に高速化することが可能である。また、本発明の半導体集積回路装置によれば、コンタクト領域をそのまま使用して電流源の出力をウェル（基板）に与え、ウェルとソース電極（拡散領域）により形成されるダイオードを利用して基板バイアス電圧を発生するため、簡単な回路構成で占有面積も小さく抑えることができる。さらに、本発明の半導体集積回路装置によれば、順方向基板バイアス電圧を生成するための電流は、電流源により規定されることになるため、温度変化等に依存することなく消費電力（回路を流れる電流）を制御することができる。

【0027】

【発明の実施の形態】

以下、本発明に係る半導体集積回路装置の実施例を、添付図面を参照して詳述する。

【0028】

図6は本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図であり、CMOSインバータ部を示すものである。図6において、参照符号1はpMOSトランジスタ、2はnMOSトランジスタ、11, 12; 21, 22はダイオード（寄生ダイオード）、そして、3, 4は電流源を示している。

【0029】

図6および前述した図4に示されるように、nMOSトランジスタ2は、pウェル20に形成され、ソース電極S（ n^+ 拡散領域20b）、ドレイン電極D（ n^+ 拡散領域20c）、および、絶縁膜2bを介したゲート電極D（導電電極2a）により構成される。同様に、pMOSトランジスタ1は、nチャネル型ウェル（nウェル）10に形成され、ソース電極S（ p^+ 拡散領域10b）、ドレイン電極D（ p^+ 拡散領域10c）、および、絶縁膜1bを介したゲート電極G（導電電極1a）により構成される。

【0030】

nMOSトランジスタ2において、コンタクト領域(p^+ 拡散領域)20aには高電位電源電圧 V_{dd} に繋がれた電流源4が接続され、pウェル20とソース電極S(n^+ 拡散領域20b)とで構成されるダイオード21に対して順方向の電流 I_{bn} を流すようになっている。この電流 I_{bn} が流されるダイオード21によりpウェル20には、所定の順方向基板バイアス電圧 V_{bn} が発生する。ここで、図5を参照して前述したように、基板バイアス電圧 V_{bn} は、動作温度に応じて最適なレベルに変化するため、すなわち、動作温度が高ければ(例えば、75℃のとき)、基板バイアス電圧 V_{bn} は小さくなってトランジスタのしきい値電圧は高く設定され、また、動作温度が低ければ(例えば、-25℃のとき)、基板バイアス電圧 V_{bn} は大きくなってトランジスタのしきい値電圧は低く設定され、低いしきい値電圧のトランジスタによる回路の高速動作が十分に発揮されることになる。

【0031】

また、pMOSトランジスタ1において、コンタクト領域(n^+ 拡散領域)10aには低電位電源電圧 V_{ss} に繋がれた電流源3が接続され、nウェル10とソース電極S(p^+ 拡散領域10b)とで構成されるダイオード11に対して順方向の電流 I_{bp} を流すようになっている。この電流 I_{bp} が流されるダイオード11によりnウェル10には、所定の順方向基板バイアス電圧 V_{bp} が発生する。ここで、上述したnMOSトランジスタ2における基板バイアス電圧 V_{bn} と同様に、pMOSトランジスタ1における基板バイアス電圧 V_{bp} も動作温度に応じて最適なレベルに変化するため、すなわち、動作温度が高ければ基板バイアス電圧 V_{bp} は高電位電源電圧 V_{dd} に対して小さくなってトランジスタのしきい値電圧は高く設定され、また、動作温度が低ければ(例えば、-25℃のとき)、基板バイアス電圧 V_{bp} は高電位電源電圧 V_{dd} に対して大きくなってトランジスタのしきい値電圧は低く設定され、低いしきい値電圧のトランジスタによる回路の高速動作が十分に発揮されることになる。

【0032】

図7は図6に示す半導体集積回路装置の一構成例を示す回路図であり、基板バイアス回路110(電流源3, 4)の一例を示すものである。

【0033】

図7と図6との比較から明らかなように、電流源4は、インバータ41、nMOSトランジスタ40、42およびpMOSトランジスタ43、44を備えて構成されている。そして、制御信号Cbnが高レベル『H』のときに、nMOSトランジスタ42がオンしてpMOSトランジスタ43に電流が流れ、さらに、pMOSトランジスタ43とカレントミラー接続されたpMOSトランジスタ44に電流Ibnが流れるようになっている。すなわち、制御信号Cbnが高レベル『H』のとき、高電位電源線(Vdd)からpMOSトランジスタ44、pウェル20(Vbn)およびダイオード21を介して低電位電源線(Vss:nMOSトランジスタ2のソース電極)に電流Ibnが流れるようになっている。ここで、制御信号Cbnが高レベル『H』のとき、nMOSトランジスタ40のゲートには、インバータ41により反転された低レベル『L』の制御信号Cbnが供給されるため、nMOSトランジスタ40はオフする。

【0034】

なお、制御信号Cbnが低レベル『L』のときは、nMOSトランジスタ42がオフしてnMOSトランジスタ40がオンするため、nMOSトランジスタ2のバックゲート(pウェル20)には低電位電源電圧Vssが印加されることになる。

【0035】

また、電流源3は、インバータ31、pMOSトランジスタ30、32およびnMOSトランジスタ33、34を備えて構成されている。そして、制御信号Cbpが低レベル『L』のときに、pMOSトランジスタ32がオンしてnMOSトランジスタ33に電流が流れ、さらに、nMOSトランジスタ33とカレントミラー接続されたnMOSトランジスタ34に電流Ibpが流れるようになっている。すなわち、制御信号Cbpが低レベル『L』のとき、高電位電源線(Vdd:pMOSトランジスタ1のソース電極)からダイオード11、nウェル10(Vbp)およびnMOSトランジスタ34を介して低電位電源線(Vss)に電流Ibpが流れるようになっている。ここで、制御信号Cbpが低レベル『L』のとき、pMOSトランジスタ30のゲートには、インバータ31により反転

された高レベル『H』の制御信号C b nが供給されるため、pMOSトランジスタ30はオフする。

【0036】

なお、制御信号C b pが高レベル『H』のときは、pMOSトランジスタ32がオフしてpMOSトランジスタ30がオンするため、pMOSトランジスタ1のバックゲート（nウェル10）には高電位電源電圧V d dが印加されることになる。

【0037】

このように、図7の回路において、基板バイアス電圧V b nおよびV b pの発生は、制御信号C b nおよびC b pのレベルに応じて制御されるようになっている。ここで、制御信号C b n、C b pは、例えば、それぞれ1ビットの信号として構成することができる。また、基板バイアス回路110は、後述するように、例えば、回路ブロック毎に設ければよく、その回路構成も単純で占有面積の小さいものとして構成することができる。さらに、回路構成も図7の回路に限定されることなく様々に変更することができるのはいうまでもない。

【0038】

図8は図6および図7に示す半導体集積回路装置におけるインバータ部のレイアウトパターンの一例を示す図であり、図9は図8のインバータ部を複数有する回路ブロックを概略的に示す図である。

【0039】

図4並びに図6～図8に示されるように、nMOSトランジスタ2のpウェル20（コンタクト領域； p^+ 拡散領域20a）にはバイアス電圧V b nが印加され、また、pMOSトランジスタ1のnウェル10（コンタクト領域； n^+ 拡散領域10a）にはバイアス電圧V b pが印加されることになるが、これらのバイアス電圧V b nおよびV b pは、例えば、第1層目の金属配線M12、M13およびM11、M14を介して基板バイアス回路110に接続される。ここで、高電位電源線（V d d）および低電位電源線（V s s）は、例えば、第2層目の金属配線M21およびM22により共通接続されている。

【0040】

また、図8および図9に示されるように、各回路ブロックにおいては、例えば、複数のインバータ部（CMOSパターン）120、NAND部121、エクスクルーシブOR（EOR）部等のゲートが規則的に配列され、基板バイアス回路110からのバイアス電圧（ V_{bn} 、 V_{bp} ）を各ゲート120、121、122等に供給するようになっている。

【0041】

図10は本発明が適用された半導体集積回路装置の一例の全体構成を示すブロック図である。図10において、参照符号100は半導体集積回路装置（ワンチップIC）、101～103は各回路ブロックを示し、101はCPU（Central Processing Unit）、102はDSP（Digital Signal Processor）および103は論理回路・メモリ回路等の他の回路ブロック、104はバス、105は電力制御ユニット、そして、111～113は基板バイアス回路を示している。

【0042】

図10に示されるように、各回路ブロック101～103は、バス104を介して接続され、互いに様々なデータおよび信号を遣り取りするようになっている。各回路ブロック101～103には、それぞれ電力制御ユニット105からの制御信号により制御される基板バイアス回路111～113を備え、半導体集積回路装置100の動作状態に応じて、必要な回路ブロックの基板バイアス回路だけ活性化するようになっている。ここで、各基板バイアス回路111～113は、図7を参照して説明したような回路構成とすることができ、電力制御ユニット105から供給される制御信号の高レベル『H』か低レベル『L』か（“1”か“0”か：1ビットの制御信号）により制御することが可能である。

【0043】

すなわち、各回路ブロック101～103毎に簡単な回路構成で小型の基板バイアス回路111～113を設け、動作状態に応じて各基板バイアス回路111～113の動作をそれぞれ1ビットの制御信号により制御することでより一層の低消費電力化を図ることができる。

【0044】

図11は図10に示す半導体集積回路装置の断面を概略的に示す図である。

【0045】

図11に示されるように、図10に示す複数の回路ブロック101～103を有する半導体集積回路装置（ワンチップIC）100は、例えば、トリプルウェル構造として構成され、各回路ブロック（CPU101、DSP102および論理回路・メモリ回路103等）は、それぞれ電氣的に絶縁されるようになっている。これにより、各回路ブロック101～103毎に設けた基板バイアス回路111～113で独立して対応する回路ブロックの動作を制御するようになっている。

【0046】

ところで、従来、低電圧におけるCMOS回路では、温度が上昇すると遅延が減少することが知られている。具体的に、K. Kanda et al., "Design Impact of Positive Temperature Dependence on Drain Current in Sub-1-V CMOS VLSI", IEEE J. Solid-State Circuits, vol. 36, No. 10, pp.1559-1564, October 2001 には、ZTC (Zero-Temperature Coefficient) ポイントよりも低い電源電圧（例えば、0.5V：0.7V以下の低電圧）でCMOS回路を動作させたとき、それまでの高い電源電圧（例えば、3.3V）での動作とは異なり、温度の上昇に従って遅延が減少することが報告されている。

【0047】

図12はトランジスタの遅延時間の温度依存性を説明するための図であり、図12(a)はダイオードを流れる電流 I_b とそれにより発生する電圧 V_f との関係を示し、また、図12(b)は本発明を低電圧（例えば、0.7V以下）で動作するCMOS回路に適用した場合を概念的に示すものである。

【0048】

本発明に係る半導体集積回路装置においては、例えば、図12(a)に示されるように（或いは、図5を参照して説明したように）、ダイオードを流れる電流 I_b （すなわち、図6および図7におけるダイオード21を流れる基板バイアス電流 I_{bn} ）を一定にしたとき、温度上昇に従って発生する電圧 V_f （基板バイアス電圧 V_{bn} ）の値は小さくなる。

【0049】

そのため、図 1 2 (b) に示されるように、温度上昇に従ってトランジスタのしきい値電圧 V_{th} は大きくなる。従って、本発明を、例えば、0.7 V 以下の低電圧で動作する CMOS 回路に対して適用すると、上述した論文 ("Design Impact of Positive Temperature Dependence on Drain Current in Sub-1-V CMOS VLSI") にも示された低電圧動作の CMOS 回路における温度の上昇に従って遅延が減少する特性が打ち消され (定性的に相殺され)、回路動作速度の遅延 (Delay) を温度変化に依らず一定にすることが可能になる。

【 0 0 5 0 】

図 1 3 ~ 図 1 6 は本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図である。

【 0 0 5 1 】

図 1 3 は 3 2 ビット ALU (Arithmetic and Logic Unit) を 2 7 °C で駆動したとき、基板バイアス回路を動作させた場合 (ALU01 / ACT) と基板バイアス回路を停止させた場合 (ALU01 / STB) の電源電圧 (V_{dd}) に対する遅延時間の変化を測定した図である。

【 0 0 5 2 】

図 1 3 から明らかなように、電源電圧 V_{dd} が 0.40 V ~ 1.00 V の全ての範囲において、基板バイアス回路を動作させない場合よりも動作させた場合の方が遅延時間の低減が可能なが分かる。

【 0 0 5 3 】

図 1 4 は 3 2 ビット ALU を各電源電圧 V_{dd} ($V_{dd} = 0.35, 0.40, 0.50, 0.60, 0.70, 0.80, 0.90, 1.00$ V) で温度 T を変化させて駆動したときの遅延時間の変化を測定した図であり、図 1 4 (a) は基板バイアス回路を動作させた場合 (ALU01 / アクティブ) を示し、図 1 4 (b) は基板バイアス回路を停止させた場合 (ALU01 / スタンバイ) を示すものである。

【 0 0 5 4 】

図 1 4 (a) と図 1 4 (b) との比較から明らかなように、各電源電圧 V_{dd} および各温度 $TEMP$ において、基板バイアス回路を動作させない場合よりも動

作させた場合の方が遅延時間の低減が可能であるが、特に、電源電圧 V_{dd} が低い程且つ動作温度 $TEMP$ が低い程、遅延時間低減の効果が顕著なことが分かる。

【0055】

図15は32ビットALUを各温度（70℃、27℃および-25℃）で電源電圧 V_{dd} を変化させて駆動したときの高速化割合（率） SP の変化を示すものである。ここで、高速化割合 SP は、 $SP = (1 - ACT / STB) \times 100$ [%] として求められる。なお、 ACT は基板バイアス回路を動作させた場合の遅延時間を示し、また、 STB は基板バイアス回路を動作させない場合の遅延時間を示している。

【0056】

図16はpMOSトランジスタのnウェル（10）において、制御信号 Cbp による基板バイアス電圧の発生と、それによるnウェルの電圧レベルの変化をシミュレートしたものである。

【0057】

図16から明らかなように、例えば、図4に示すnウェル10の電圧レベルは、タイミング $P0$ において制御信号 Cbp が変化（低レベル『L』から高レベル『H』へ変化：図7参照）すると直ちに下降し、タイミング $P1$ において順方向バイアス電圧が印加された所定の電圧（ V_{bn} ）になることが分かる。なお、制御信号 Cbp が高レベル『H』から低レベル『L』へ変化すると、図7を参照して説明したnMOSトランジスタ42がオフしてnMOSトランジスタ40がオンすることにより、nウェル10の電圧レベルは再び元の電圧（ V_{ss} ）に直ちに帰ることになる。すなわち、例えば、図7に示されるように、基板バイアス回路110（電流源3）は、制御信号 Cbp （例えば、1ビットの信号）の変化に応じて直ちに動作することが可能である。

【0058】

【発明の効果】

以上、詳述したように、本発明によれば、簡単な回路構成により適切なレベルの順方向基板（ウェル）バイアス電圧を発生することのできる基板バイアス回路

を備えた半導体集積回路装置を提供することができる。

【図面の簡単な説明】

【図 1】

従来の半導体集積回路装置の一例を示す回路図である。

【図 2】

従来の半導体集積回路装置の他の例を示す回路図である。

【図 3】

本発明に係る半導体集積回路装置の原理構成を示す回路図である。

【図 4】

本発明に係る半導体集積回路装置の原理構成を説明するための断面図である。

【図 5】

本発明の半導体集積回路装置の原理を説明するためのダイオード特性を示す図である。

【図 6】

本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図である。

【図 7】

図 6 に示す半導体集積回路装置の一構成例を示す回路図である。

【図 8】

図 6 および図 7 に示す半導体集積回路装置におけるインバータ部のレイアウトパターンの一例を示す図である。

【図 9】

図 8 のインバータ部を複数有する回路ブロックを概略的に示す図である。

【図 1 0】

本発明が適用された半導体集積回路装置の一例の全体構成を示すブロック図である。

【図 1 1】

図 1 0 に示す半導体集積回路装置の断面を概略的に示す図である。

【図 1 2】

トランジスタの遅延時間の温度依存性を説明するための図である。

【図 1 3】

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 1）である。

【図 1 4】

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 2）である。

【図 1 5】

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 3）である。

【図 1 6】

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 4）である。

【符号の説明】

1 … pMOS トランジスタ

2 … nMOS トランジスタ

3, 4 … 電流源

1 0 0 … 半導体集積回路装置

1 0 1 … CPU

1 0 2 … DSP

1 0 3 … 論理回路・メモリ等

1 0 4 … バス

1 0 5 … 電力制御ユニット

1 1 0, 1 1 1 ~ 1 1 3 … 基板バイアス回路

1 2 0, 1 0 0, 2 0 0, 3 0 0 … インバータ部（CMOS インバータ）

G … ゲート電極

D … ドレイン電極

S … ソース電極

V b n … pMOS トランジスタ用基板バイアス電圧

V b p … nMOS トランジスタ用基板バイアス電圧

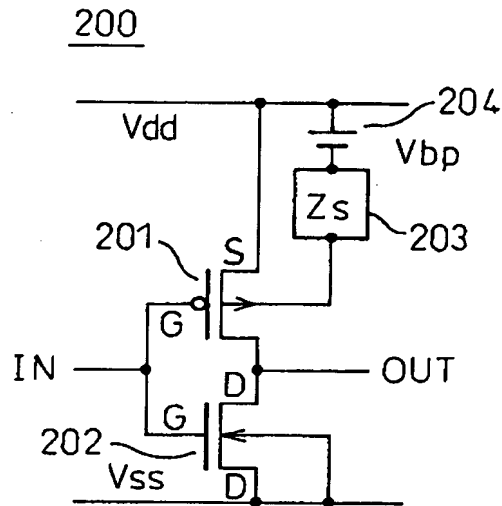
V d d … 高電位電源電圧（高電位電源線）

V s s … 低電位電源電圧（低電位電源線）

【書類名】 図面

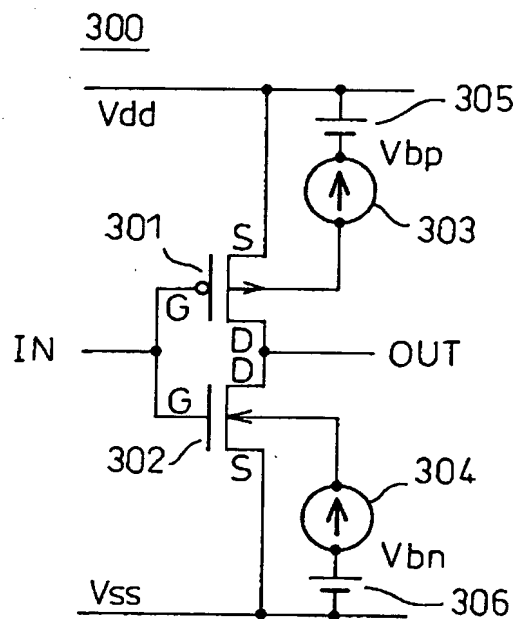
【図 1】

図 1 従来の半導体集積回路装置の一例を示す回路図



【図 2】

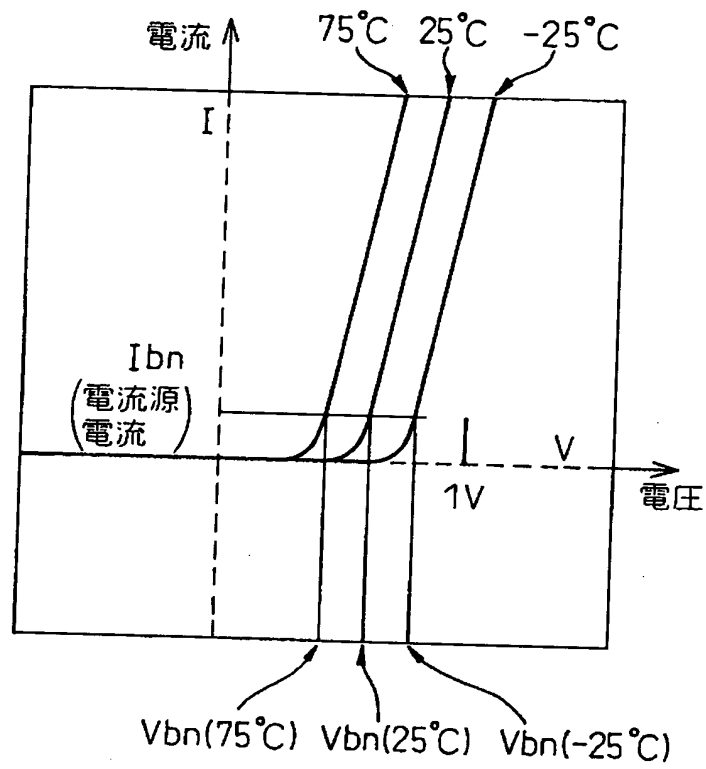
図 2 従来の半導体集積回路装置の他の例を示す回路図



【図 5】

図 5

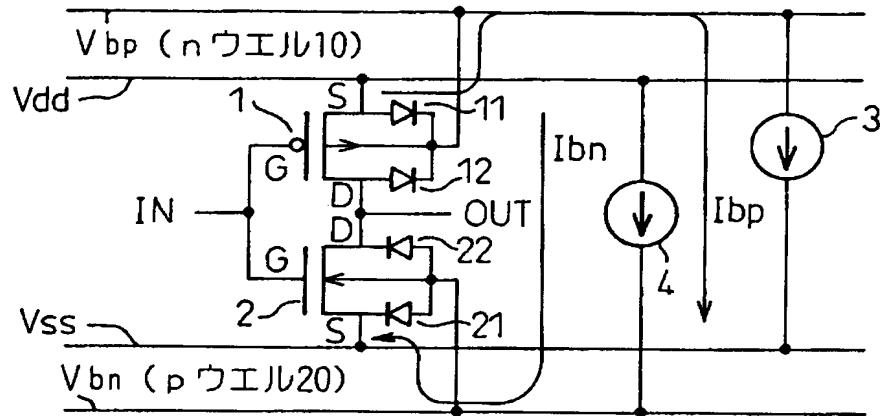
本発明の半導体集積回路装置の原理を説明するためのダイオード特性を示す図



【図 6】

図 6

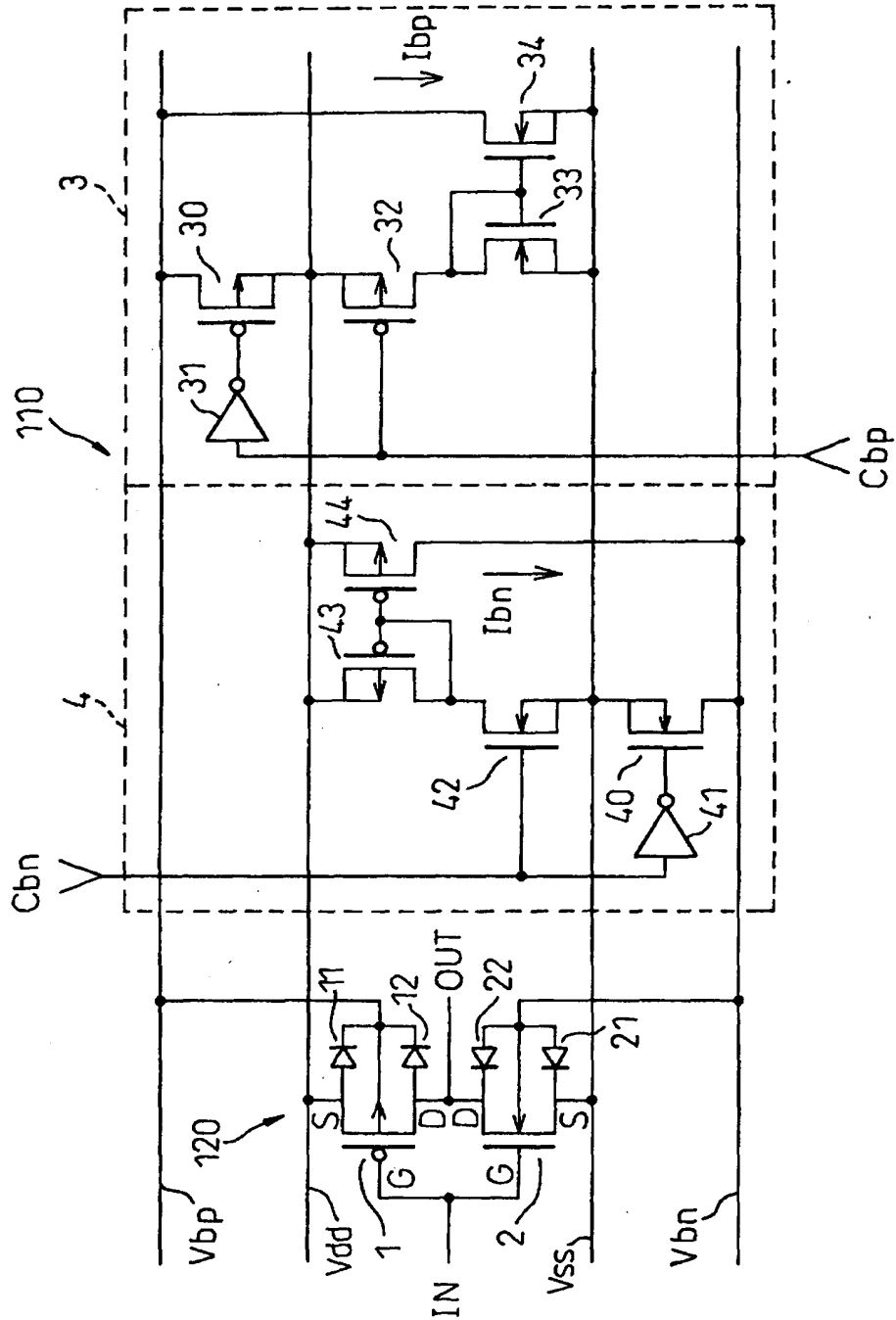
本発明に係る半導体集積回路装置の一実施例を概念的に示す回路図



【図7】

図 7

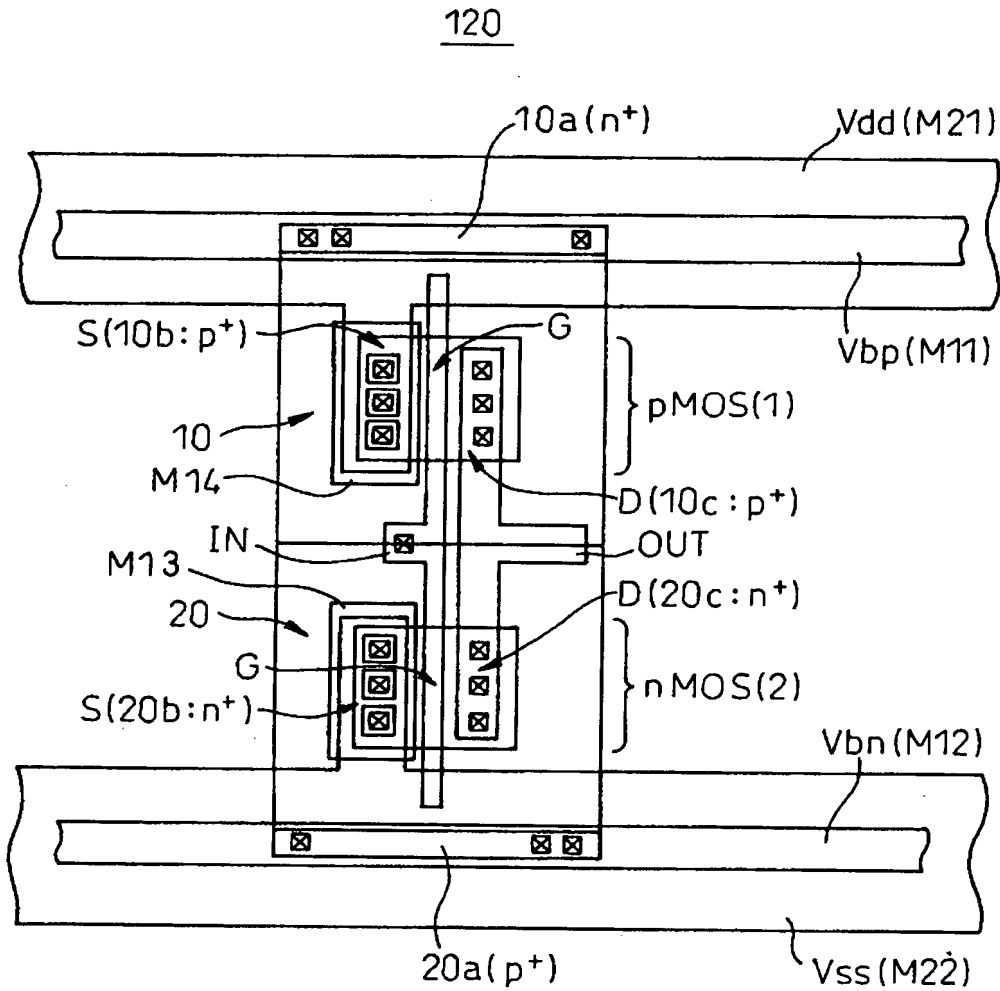
図6に示す半導体集積回路装置の一構成例を示す回路図



【図 8】

図 8

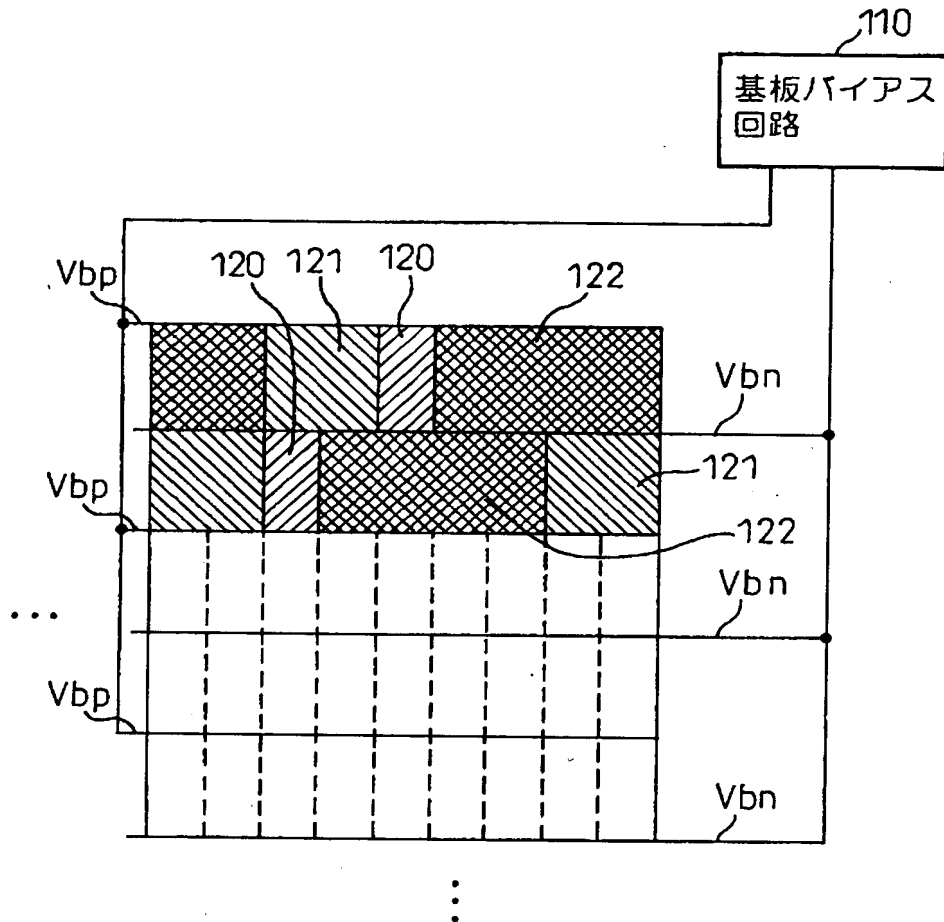
図 6 および図 7 に示す半導体集積回路装置におけるインバータ部のレイアウトパターンの一例を示す図



【図 9】

図 9

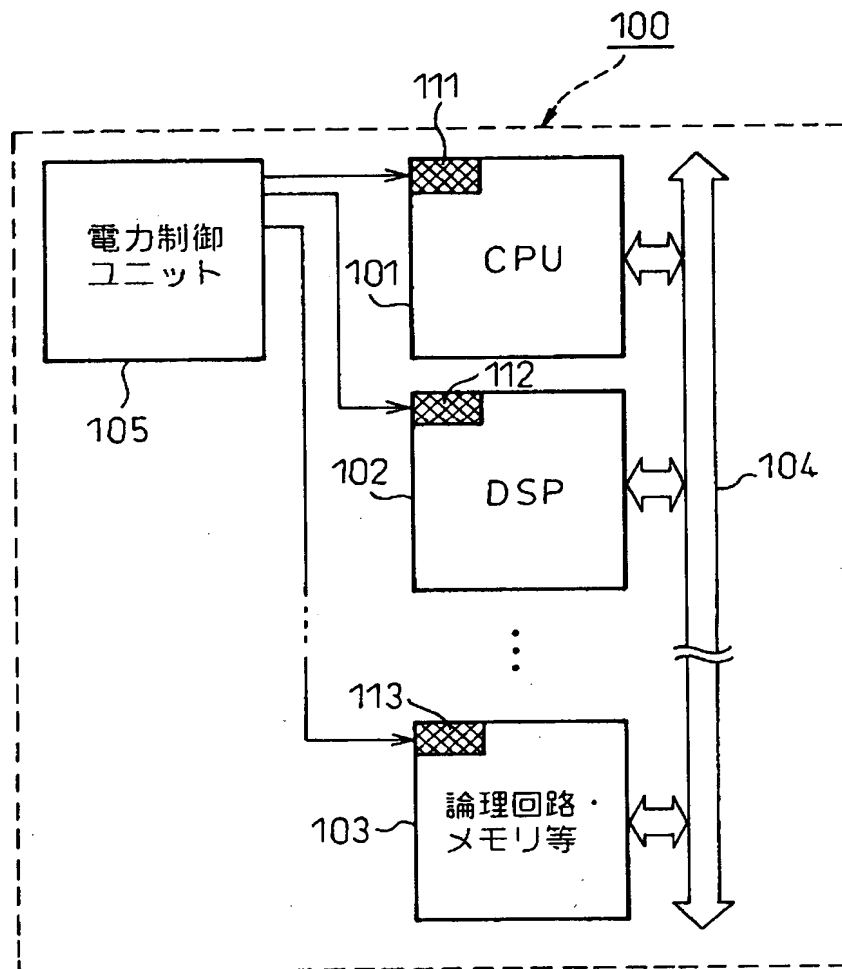
図 8 のインバータ部を複数有する回路ブロックを概略的に示す図



【図 1 0】

図 10

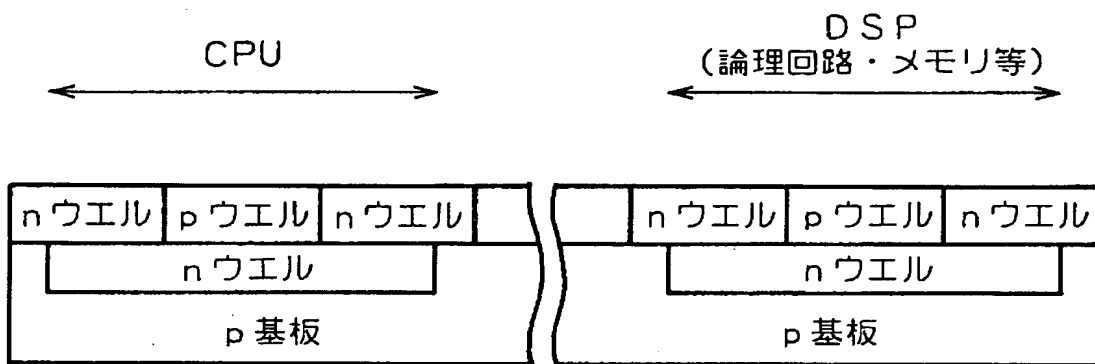
本発明が適用された半導体集積回路装置の一例の全体構成を示すブロック図



【図 1 1】

図 11

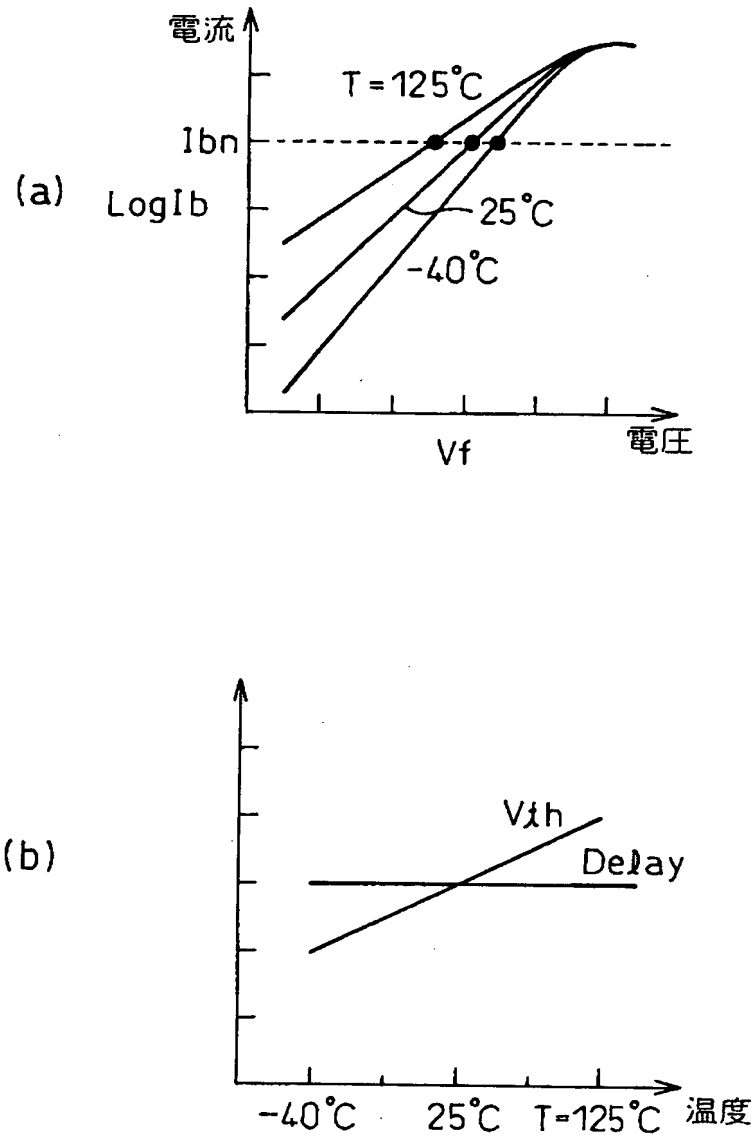
100



【図 1 2】

図 12

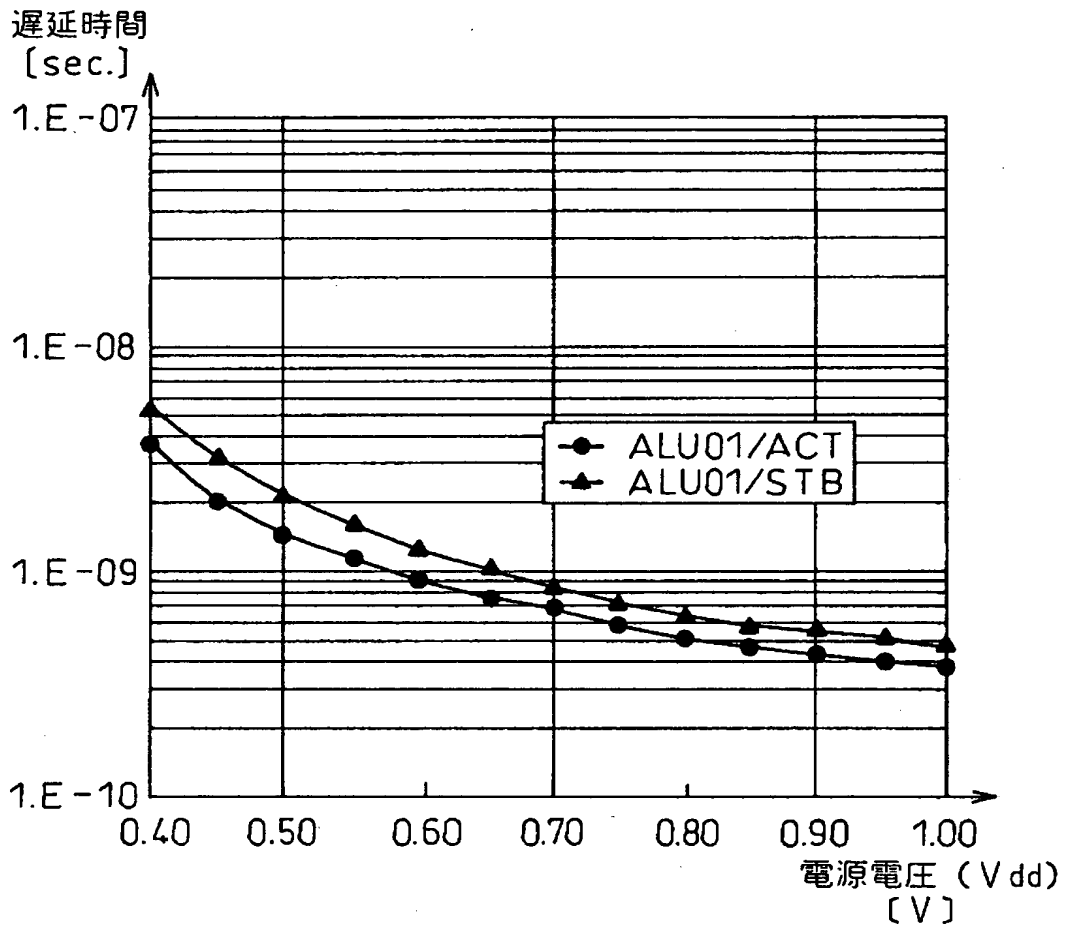
トランジスタの遅延時間の温度依存性を説明するための図



【図 1 3】

図 13

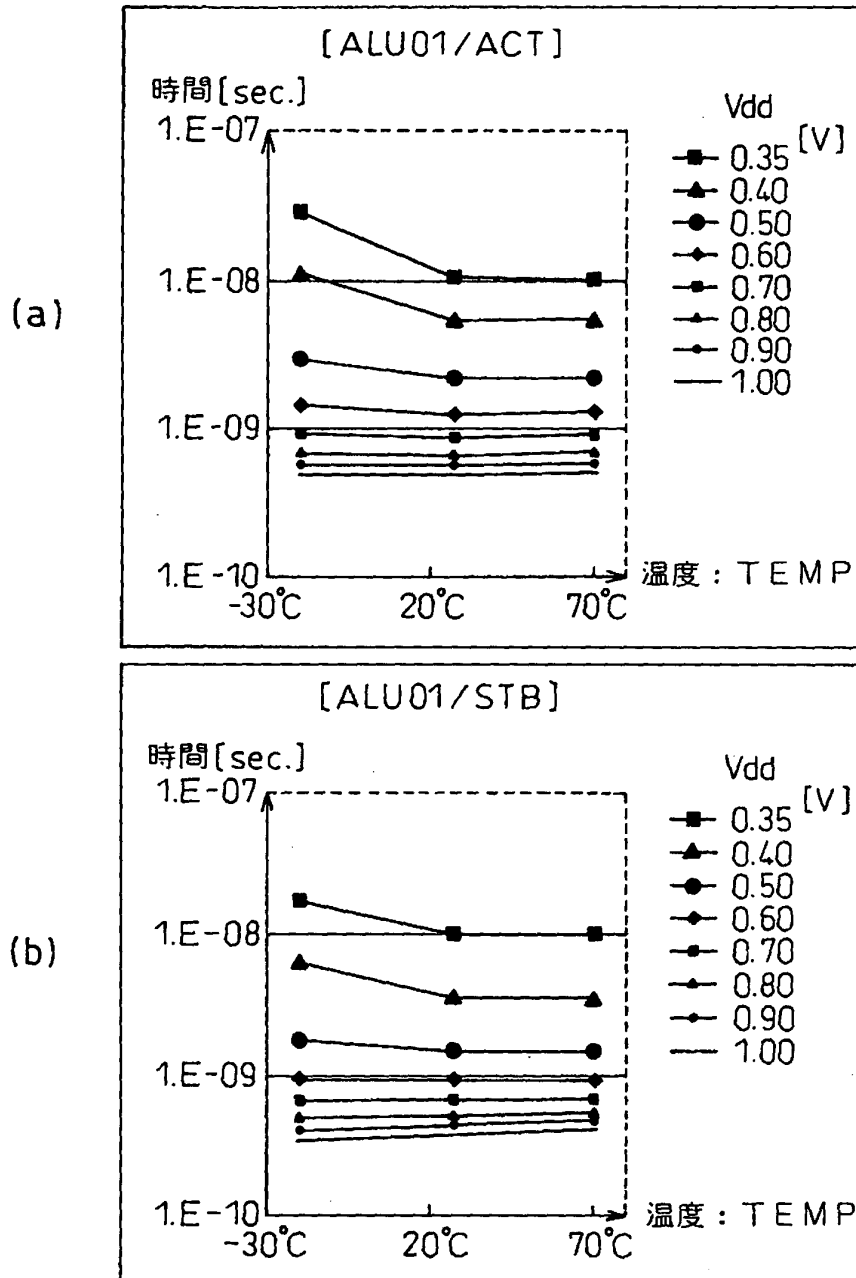
本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その 1）



【図14】

図14

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その2）

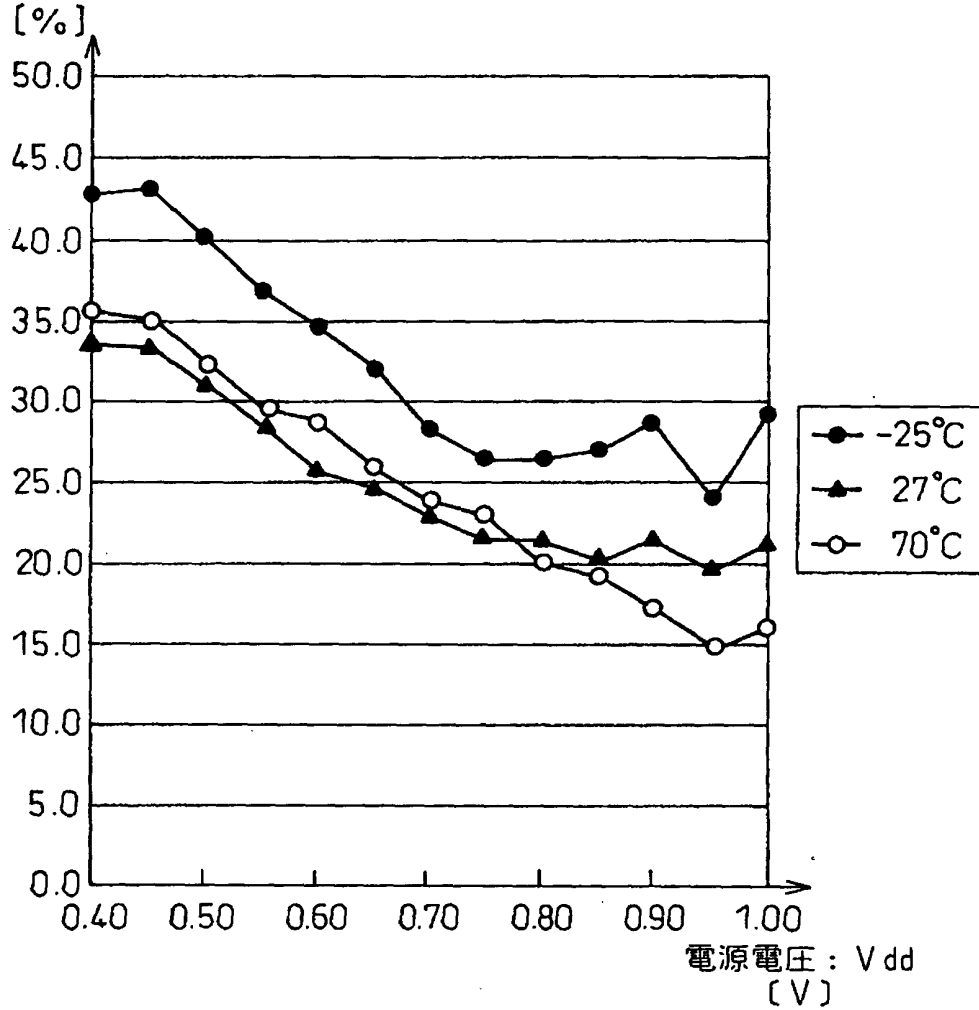


【図 1 5】

図15

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その3）

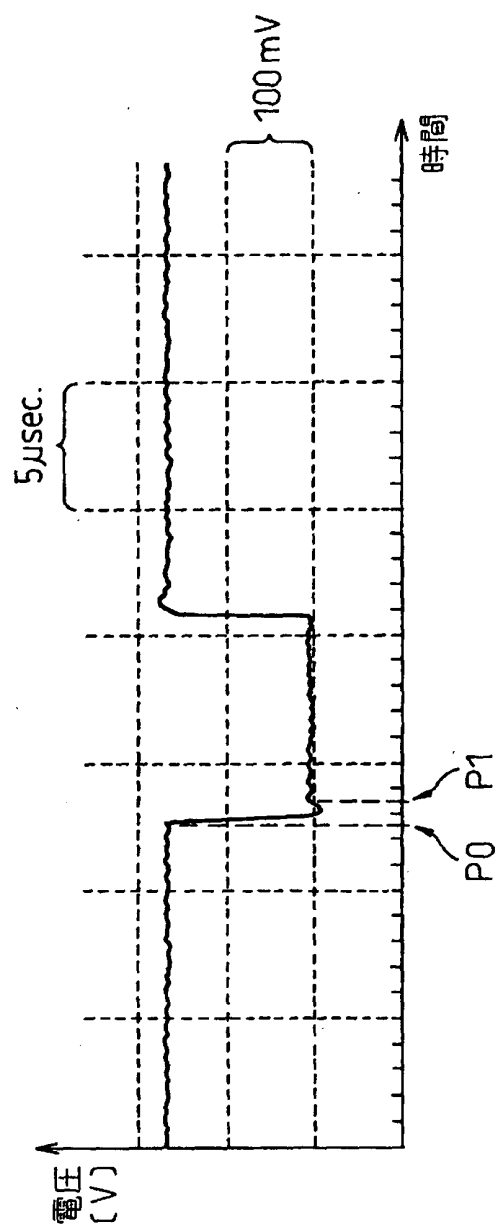
高速化割合（率）：SP



【図16】

図16

本発明に係る半導体集積回路装置の動作を説明するための測定結果を示す図（その4）



【書類名】 要約書

【要約】

【課題】 近年、MOSトランジスタのウェル（基板）に順方向バイアス電圧を印加することが注目されているが、温度変化に対して最大限の順方向バイアス電圧を得ることが難しく、そのための回路構成や占有面積も問題になってきている。

【解決手段】 第1導電型 (p^+ ; n^+) のソース電極Sおよびドレイン電極Dとゲート電極Gとを有し、第2導電型 (n ; p) のウェル10; 20に形成されてなるMISFET 1; 2を備える半導体集積回路装置であって、前記ウェル10; 20の電位 V_{bp} ; V_{bn} を、前記MISFET 1; 2のソース電極Sおよび該ウェル10; 20により形成されるダイオード11; 21に対して所定電流 I_{bp} ; I_{bn} を順方向に流すことにより生成する基板バイアス回路110; 111~113を備えるように構成する。

【選択図】 図4

出 願 人 履 歷 情 報

識別番号 [3 9 6 0 2 3 9 9 3]

1. 変更年月日 2001年 3月23日

〔変更理由〕 住所変更

住 所 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビル6階

氏 名 株式会社半導体理工学研究センター